

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Kozo MUGISHIMA Confirmation No.: 5986
Appl. No.: 10/014,575 Group: 2816
Filed: December 14, 2001 Examiner: UNKNOWN
For: METHOD AND CIRCUIT FOR CALCULATING
MULTIPLE OF UNIT VALUE AND GENERATING
PERIODIC FUNCTION

RECEIVED
JUL 01 2002
Technology Center 2800

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

Date: April 19, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-380234	December 14, 2000


A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By


Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

RJP:psf

Attachment

RECEIVED
JUL 01 2002
Technology Center 2100



日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2000年12月14日

CERTIFIED COPY OF
ORIGINAL DOCUMENT

出願番号

Application Number:

特願2000-380234

出願人

Applicant(s):

エヌイーシーマイクロシステム株式会社

RECEIVED

JUL 01 2002

Technology Center 2100

RECEIVED

JUL 01 2002

Technology Center 2100

RECEIVED

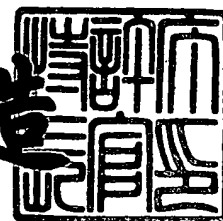
APR 22 2002

TECHNOLOGY CENTER 2800

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3091093

【書類名】 特許願

【整理番号】 01211309

【提出日】 平成12年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/02

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本
電気アイシーマイコンシステム株式会社内

【氏名】 麦島 幸造

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002294

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積算値及び周期関数の生成方法及び回路

【特許請求の範囲】

【請求項 1】 デジタル回路で単位値 u を積算して積算値 Σu を生成する方法において、

$u = A + C / B$ ($B > C$) である値 A 、 B 及び C を定め、積算値 ΣA 及び ΣC を生成すると共に、積算値 ΣC と値 B の比較結果に応じて積算値 ΣA を修正し、修正した積算値 ΣA を積算値 Σu とすることを特徴とする積算値生成方法。

【請求項 2】 請求項 1 に記載の積算値生成方法において、積算値 ΣC と値 B の比較結果が $\Sigma C \geq B$ のとき、積算値 ΣA を修正すると共に、積算値 ΣC から B を減算することを特徴とする積算値生成方法。

【請求項 3】 請求項 1 に記載の積算値生成方法において、積算値 ΣC と値 B の比較結果が $\Sigma C \geq NB$ (N は自然数) のとき、積算値 ΣA を修正すると共に、積算値 ΣC から NB を減算することを特徴とする積算値生成方法。

【請求項 4】 デジタル回路で単位進行角を積算して積算進行角を求め、積算進行角に対応する振幅を予め定められた関数テーブルを参照して求めることにより周期関数を生成する周期関数の生成方法において、請求項 1 乃至 3 のいずれかに記載の積算値生成方法を用いて進行角を求めることを特徴とする周期関数生成方法。

【請求項 5】 単位値 u を積算して積算値 Σu を生成するデジタル回路において、

$u = A + C / B$ ($B > C$) である値 A 、 B 及び C を格納する第 1、第 2 及び第 3 のレジスタと、積算値 ΣA を生成する第一の循環演算回路と、積算値 ΣC を生成する第二の循環演算回路と、積算値 ΣC と値 B の差を生成する減算器と、前記減算器の出力に応じて積算値 ΣA を修正する回路とを備え、

積算値 ΣA を積算値 Σu として出力することを特徴とする積算値生成回路。

【請求項 6】 請求項 5 に記載の積算値生成回路において、

前記第一の循環演算回路は、前記第一のレジスタと、アキュムレータと、前記第一のレジスタ及びアキュムレータに格納されている値を加算する加算器を備え

積算値 ΣC と値 B の比較結果が $\Sigma C \geq B$ のとき、前記加算器に対し、出力値に $+1$ する指示を与える信号を入力する手段を備えることを特徴とする積算値生成回路。

【請求項 7】 請求項 5 に記載の積算値生成回路において、

前記第一の循環演算回路は、前記第一のレジスタと、アキュムレータと、前記第一のレジスタ及びアキュムレータに格納されている値を加算する加算器を備え

前記第一のレジスタに格納された値と、予め定められた値とを加減算する回路と、

前記減算器の出力に応じて、前記第一のレジスタに格納された値及び前記加算器の出力のいずれか一方を選択して前記加算器に出力するセクタとを備えることを特徴とする積算値生成回路。

【請求項 8】 請求項 5 に記載の積算値生成回路において、

前記第一の循環演算回路は、前記第一のレジスタと、アキュムレータと、前記第一のレジスタ及びアキュムレータに格納されている値を加算する加算器を備え

前記第一のレジスタに格納された値に対して予め定められた値を加減算した値を格納する第三のレジスタと、

前記減算器の出力に応じて、前記第一及び第三のレジスタに格納された値のうちいずれか一方を選択して前記加算器に出力するセクタとを備えることを特徴とする積算値生成回路。

【請求項 9】 単位進行角を積算して積算進行角を求め、積算進行角に対応する振幅を予め定められた関数テーブルを参照して求めることにより周期関数を生成する周期関数の生成回路において、請求項 5 乃至 8 のいずれかに記載の積算値生成回路を備えることを特徴とする周期関数生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号を用いて周期関数を生成する技術に関し、特に、関数テーブルを用いて周期関数を生成する技術に関する。このような技術は、例えば映像、音声及び通信信号処理の分野で用いられている。

【0002】

【従来の技術】

関数テーブルを用いて周期関数を生成する従来技術には、例えば、特公平7-43620号公報や特開2000-215029号公報等が存在する。これらの従来技術は基本的には図10のような構成であり、レジスタに設定した基準値の加算を繰り返し、加算値について関数テーブルを参照して、該当する値を周期関数の値とする点については変わらない。

【0003】

図10を参照して従来の周期関数生成回路の動作を説明する。最初にレジスタに1クロック当たりの進行角の値を設定する。この値と、アキュムレータに現に格納されている値とを加算器で加算し、得られる値を再びアキュムレータに格納する。レジスタの値とアキュムレータの値との加算を繰り返して関数テーブルのアドレスを次々に生成する。生成したアドレスに基づいて関数ロムから該当する振幅値を得る。このようにして、図11のような周期関数を生成している。

【0004】

【発明が解決しようとする課題】

このような従来の周期関数生成回路によれば、1クロック当たりの進行角に小数値を持つ場合に切り捨てが生じ、徐々に誤差が蓄積することになる。特に、進行角が循環小数値を持つ場合、加算する値に誤差が含まれているために、加算器の演算精度と関係なく必ず誤差が蓄積されてしまうという問題がある。このような誤差の生成過程を図12に示す。所望の周期関数（点線）と実際に生成される周期関数（実線）に位相ずれが生じる結果、位相差が蓄積していくことを示している。

【0005】

発生する誤差を一定の範囲に抑えるため、蓄積誤差の許容値を定め、蓄積誤差が許容値を超えない範囲でアキュムレータをリセットし、アキュムレータの値を

ゼロに戻す処理を行うのが従来一般的な手法である。このような手法により蓄積誤差を修正したときの模様を図 1 3 に示す。位相差が許容値に達すると、アキュムレータがリセットされるのでリセット直後の誤差がゼロになっているが、生成される周期関数の位相はリセットの前後で非連続になっている点に注意されたい。

【 0 0 0 6 】

他方、最近のデジタル回路システムは、その位相特性において長時間に渡る厳格な位相管理を要求されることも珍しくないが、上述のアキュムレータを強制リセットする方法では、位相の連続性が維持できない問題が生じてしまう。

【 0 0 0 7 】

このような状況に鑑み、本発明が解決しようとする課題は、誤差を最小限に抑えつつ、位相の連続性を維持した周期関数を生成することが可能な周期関数の生成方法及び周期関数生成回路を提供することである。

【 0 0 0 8 】

【課題を解決するための手段】

本発明は、関数テーブルを用いて周期関数を生成する実アドレス演算部に加えて、誤差の演算と加算値の微調整を行う誤差演算部を周期関数生成回路に設けることを特徴とする。

【 0 0 0 9 】

整数のみでは表現できない基準値であっても、整数部分と小数部分に分けて、小数部分を分数形式で表現することにより、小数値誤差を別に積算する。積算した誤差が整数になる場合、その値を用いて整数部分を修正する。これにより、誤差を蓄積することなく周期関数を生成することが可能となる。

【 0 0 1 0 】

本発明は次のような積算値及び周期関数の生成方法を提供する。

【 0 0 1 1 】

即ち、本発明は、デジタル回路で単位値 u を積算して積算値 Σu を生成する方法において、 $u = A + C / B$ ($B > C$) である値 A 、 B 及び C を定め、積算値 ΣA 及び ΣC を生成すると共に、積算値 ΣC と値 B の比較結果に応じて積算値 ΣA

を修正し、修正した積算値 ΣA を積算値 Σu とすることを特徴とする積算値生成方法を提供する。

【0012】

このような方法によれば、積算値 Σu を生成する際に、循環演算によって誤差を生じない部分(A)と生じなる部分(C/B)とに分けて循環演算を行うことができるので、循環演算に伴って発生する蓄積誤差の影響を最小限に止めながら積算値を生成することができる。

【0013】

積算値 ΣC と値Bの比較結果が $\Sigma C \geq B$ のとき、積算値 ΣA を修正すると共に、積算値 ΣC からBを減算してもよい。このようにすることにより、積算値 ΣA の修正が不完全であっても、以後に生成される積算値 ΣC に修正されていない分の誤差を含めることができる。

【0014】

また、積算値 ΣC と値Bの比較結果が $\Sigma C \geq NB$ (Nは自然数)のとき、積算値 ΣA を修正すると共に、積算値 ΣC からNBを減算することとしてもよい。こうすることにより、誤差を修正する頻度を下げることができる。

【0015】

このような積算値生成方法の好適な応用例としては、デジタル回路で単位進行角を積算して積算進行角を求め、積算進行角に対応する振幅を予め定められた関数テーブルを参照して求めることにより周期関数を生成する周期関数の生成方法において、上述の積算値生成方法を用いて進行角を求める周期関数生成方法がある。

【0016】

更に、本発明は、次のような積算値生成回路及び周期関数生成回路を提供する。

【0017】

即ち、本発明は、単位値 u を積算して積算値 Σu を生成するデジタル回路において、 $u = A + C/B$ ($B > C$)である値A、B及びCを格納する第1、第2及び第3のレジスタと、積算値 ΣA を生成する第一の循環演算回路と、積算値 ΣC

を生成する第二の循環演算回路と、積算値 ΣC と値 B の差を生成する減算器と、減算器の出力に応じて積算値 ΣA を修正する回路とを備え、積算値 ΣA を積算値 Σu として出力することを特徴とする積算値生成回路を提供する。

【0018】

例えば、第一の循環演算回路は、第一のレジスタと、アキュムレータと、第一のレジスタ及びアキュムレータに格納されている値を加算する加算器を備える。

【0019】

このとき、積算値 ΣC と値 B の比較結果が $\Sigma C \geq B$ のとき、加算器に対し、出力値に $+1$ する指示を与える信号を入力する手段を備えることとしてよい。

【0020】

また、第一のレジスタに格納された値と、予め定められた値とを加減算する回路と、減算器の出力に応じて、第一のレジスタに格納された値及び加算器の出力のいずれか一方を選択して加算器に出力するセレクタとを備えることとしてもよい。

【0021】

更にまた、第一のレジスタに格納された値に対して予め定められた値を加減算した値を格納する第三のレジスタと、減算器の出力に応じて、第一及び第三のレジスタに格納された値のうちいずれか一方を選択して加算器に出力するセレクタとを備えることとしてもよい。

【0022】

このような積算値生成回路は、例えば、単位進行角を積算して積算進行角を求め、積算進行角に対応する振幅を予め定められた関数テーブルを参照して求めることにより周期関数を生成する周期関数生成回路が、積算進行角を生成するために用いられる。

【0023】

【発明の実施の形態】

本発明の基本的な概念について、第一の実施の形態である周期関数生成回路100を例に挙げて説明する。図1を参照すると、周期関数生成回路100は実アドレス演算部110、誤差演算部120及び関数テーブル1を備える。

【0024】

実アドレス演算部110は、レジスタ2、加算器3、アキュムレータ4及び関数テーブル1を備える。実アドレス演算部110は予め定められた単位となる進行角（以下、単位進行角と呼ぶ）を積算した進行角（以下、積算進行角と呼ぶ）を生成し、関数テーブル1を参照してこの進行角に対応する振幅値を得る。

【0025】

誤差演算部120は、レジスタ2が切り捨てる値（小数值、分数値）を蓄積演算し、蓄積誤差が整数値になると、加算値の変更を指示する信号（以下、誤差修正信号と呼ぶ）を実アドレス演算部110に送出する。例えば、周期関数生成回路100の場合、蓄積誤差が1に達しない間はレジスタ2とアキュムレータ4に格納されている値を加算するが、蓄積誤差が1に達するとこれらの値に更に1を加算する。

【0026】

このような構成により、積算進行角は、蓄積誤差が整数値に達する度毎に修正されることになる。従って、周期関数を生成する際に発生する誤差を、レジスタ2で表現可能な最小ビット値以内に抑えながら周期関数を生成することができる。

【0027】

次に、本発明の実施の形態について詳しく説明する。

【0028】

（1）第一の実施の形態

既に述べたように、第一の実施の形態である周期関数生成回路100は、実アドレス演算部110、誤差演算部120及び関数テーブル1を備える。これらのうち、実アドレス演算部110では、1クロック毎に、レジスタ2とアキュムレータ4の値を加算器3で加算する。その結果はアキュムレータ4に保存される一方、関数テーブル1中のアドレスとして対応する振幅値を選択するために用いられる。このようにして進行角に対する振幅値を1クロック毎に生成することにより周期関数を生成する。このような周期関数の生成方法については当業者にとってよく知られている。

【 0 0 2 9 】

このような実アドレス演算部 1 1 0 による循環演算処理に対して、本発明により新たに設けられた誤差演算部 1 2 0 は、誤差が一定値以上に達する毎に修正値を供給する。この修正値は循環演算処理を受けているデータを修正する。そのため、誤差の蓄積を回避することができる。

【 0 0 3 0 】

更に図 2 及び 3 を参照して誤差演算部 1 2 0 の動作を説明する。

【 0 0 3 1 】

まず、単位進行角のうち、1 未満の成分を分数で表し、その分母をレジスタ 5 に設定し、分子をレジスタ 7 に設定する。また、アキュムレータ 1 0 をリセットする（ステップ S 1）。図 3 に示したクロック毎の各出力値は、レジスタ 5 に設定する値 B を $B = 34$ とし、レジスタ 7 に設定する値 C を $C = 5$ として算出している。尚、クロック信号の上に記された数字は説明の便宜上付された番号であり、以後、クロック信号の立ち上がりをそれぞれ第 0 タイミング、第 1 タイミング、第 2 タイミング…と記す。

【 0 0 3 2 】

次に、加算器 8 は、レジスタ 7 及びアキュムレータ 1 0 の値を加算する（ステップ S 2）。図 3 の第 1 クロックでは、レジスタ 7 の値は 5 であり、アキュムレータ 1 0 の値は 0 であるので、加算器 8 は $0 + 5 = 5$ を出力する。

【 0 0 3 3 】

他方、減算器 6 は、加算器 8 の出力からレジスタ 5 の値を減算する（ステップ S 3）。図 3 の第 1 クロックでは、加算器 8 の出力は 5 であり、レジスタ 5 の値は 34 なので、減算器 6 は $5 - 34 = -29$ を出力する。

【 0 0 3 4 】

ステップ S 3 の結果、減算器 6 の出力が負の場合、セレクタ 9 は、加算器 8 の出力をアキュムレータ 1 0 に保存する（ステップ S 4、5）。このとき、インバータ 1 1 は、実アドレス演算部 1 1 0 に対して 0 を出力し、誤差修正信号を出力しない。

【 0 0 3 5 】

ひとつのクロックタイミングでステップS1～S5のループ動作が1回実行される。ステップS4にて減算器6の出力が正と判定されるまで、このループ動作は繰り返されて、アキュムレータ10に誤差が蓄積される。図3の第1～第6タイミングがこれに相当し、この間、アキュムレータ10には0、5、10、…と誤差が蓄積されている。

【0036】

ステップS1～S5のループ動作を何回か繰り返すと、加算器8の出力がレジスタ5の値を越えて、減算器6の出力が正になる。これは、蓄積誤差の分子が分母を上回って1を越えたことを意味する。このとき、セクタ9は、加算器8の値に代わり、減算器6の値をアキュムレータ10に保存する（ステップS4、6）。図3の第7タイミングにおいて、加算器8の出力は35なので、減算器6の出力は $35 - 34 = 1 > 0$ となる。また、同時に、インバータ11は誤差修正信号（桁上げ信号）を実アドレス演算部110に供給する（ステップS7）。

【0037】

続いて、実アドレス演算部110の動作について、図1、3及び4を参照して説明する。最初にレジスタ2に単位進行角の整数成分を設定すると共に、アキュムレータ4をリセットする。図3の例では、レジスタ2の設定値は7である。この後以下の動作を各クロックタイミング毎に行う。

【0038】

誤差演算部120から誤差修正信号が送られてこない場合、加算器3は、レジスタ2の値とアキュムレータ4の値を加算して、その結果をアキュムレータ4に保存する。図3の第1タイミングでは、レジスタ2の値は7、アキュムレータ4の値はゼロであるので $0 + 7 = 7$ である。第2～6タイミングでは、アキュムレータ4の値は7ずつ加算されていく。

【0039】

これに対して、誤差演算部120から誤差修正信号を受け取った場合、加算器3は、レジスタ2の値とアキュムレータ4の値に加えて、誤差修正信号、即ち桁上げ値を加算し、その結果をアキュムレータ4に保存する。第6タイミング終了時におけるアキュムレータ4の値は42なので、第7タイミングでアキュムレー

タ4に保存される値は $7 + 4 \times 2 + 1 = 50$ となる。第1～6タイミングと比較すると、第7タイミングではアキュムレータ4の値が+8されることになる。このけた上げ時の演算により、実アドレス上での誤差を修正する。

【0040】

このような動作により、実アドレス演算部110が関数テーブル1に出力するアドレス値は、誤差が1ビットに達する毎に修正される。従って、周期関数生成回路100は、実アドレスの生成に伴って蓄積されていく図12のような位相ずれの発生を回避しつつ、周期関数を生成することができる。

【0041】

周期関数生成回路100では、単位進行角が実数値のみでは表せないような数値、例えば循環小数を含む値であっても、誤差の原因となる小数点以下の成分を分数として取り扱って処理している。このため、誤差範囲を1未満に抑えることが可能である。また、誤差修正に伴う位相の不連続の発生を抑えることができる。従って、極めて精度の高い周期関数を長時間連続して生成することができる。

【0042】

(2) 第二の実施の形態

本発明の第二の実施の形態である周期関数生成回路200について、既に説明した周期関数生成回路100と比較して、構成上異なる点について図6を参照して以下に述べる。

【0043】

周期関数生成回路100では、誤差を修正するときに加算すべき値は一定だが、周期関数生成回路200では、加減算値演算回路20が計算して決定する。加減算値演算回路20は、レジスタ2に格納されている値(A)と、加減算値演算回路20の外部から設定される値とを加減算して出力する。加減算値演算回路20の外部から設定される値は、誤差修正信号が1回発生したときに値(A)に加減算すべき値であり、何ビットの蓄積誤差毎に誤差修正信号を発生するかによって定められる。

【0044】

また、周期関数生成回路100では、1ビットの誤差が蓄積する毎にインバー

タ 1 1 が誤差修正信号を発生する。これに対して、周期関数生成回路 2 0 0 では、2 ビット以上の誤差が蓄積する毎にフラグ発生器 2 1 が誤差修正信号を発生する。

【 0 0 4 5 】

更に、周期関数生成回路 1 0 0 では、誤差修正信号は加算器 2 に入力されるが、周期関数生成回路 2 0 0 では、誤差修正信号は加減値演算回路 2 0 及びセレクタ 2 2 に入力される。セレクタ 2 2 は、フラグ発生器 2 1 の出力に応じて、レジスタ 2 及び加減算値演算回路 2 0 のいずれか一方の出力を選択して加算器 2 に渡す。

【 0 0 4 6 】

このような構成により、周期関数生成回路 2 0 0 は、1 回の修正で 2 ビット以上の累積誤差を修正する。図 7 はフラグ発生器 2 1 が 1 度に 2 ビットずつ誤差修正信号を発生する場合の動作を示している。レジスタ 2、5 及び 7 の値は図 3 の場合と同じである。図 3 では誤差修正信号が第 7 及び 1 4 タイミングの両方で発生するのに対して、図 7 では第 7 タイミングでは発生せず、第 1 4 タイミングのみで発生する。また、加減算値演算回路 2 0 は、誤差修正信号に応じて値 (A) + 2 の値を出力する。

【 0 0 4 7 】

第一の実施の形態に対して、第二の実施の形態は、積算値の誤差に 2 ビット以上の許容範囲があり、誤差の修正を行う頻度を引き下げたい場合に有効である。

【 0 0 4 8 】

(3) 第三の実施の形態

周期関数生成回路 2 0 0 は加減算値演算回路 2 0 を備えるため、回路規模が大きくなりやすい問題がある。この問題を解消する第三の実施の形態である周期関数生成回路 3 0 0 について次に説明する。

【 0 0 4 9 】

誤差修正信号を何ビットの蓄積誤差毎に生成するのか、即ち誤差修正信号の生成頻度と、レジスタ 2 に格納する値 (A) を決定すれば、誤差修正信号が発生したときに加算器 3 に入力すべき値を一意に定めることができる。

【 0 0 5 0 】

このことから、周期関数生成回路 3 0 0 は、加減算値演算回路 2 0 に代わり、レジスタ 3 0 を備える。レジスタ 3 0 は誤差修正信号が発生したときに加算器 3 に入力すべき値を格納する。ここでは、誤差修正信号の生成頻度を 1 ビットとするので、周期関数生成回路 1 0 0 と同様に誤差演算部 1 2 0 を備えている。周期関数生成回路 1 0 0 と異なる点は、レジスタ 3 0 に負の値を格納することにより、桁上げだけではなく桁下げ時にも誤差を修正できる点である。

【 0 0 5 1 】

誤差演算部 1 2 0 に代わり、誤差演算部 2 2 0 を用いれば、第二の実施の形態と同様に 2 ビット以上の蓄積誤差毎に誤差修正を行うことができる。この場合、誤差修正頻度に応じてレジスタ 3 0 に格納する値を変更する必要がある。

【 0 0 5 2 】

以上、本発明を実施の形態に基づいて説明したが、本発明はこれに限定されるものではなく、当業者の通常の知識の範囲内でその変更や改良が可能であることは勿論である。

【 0 0 5 3 】

【発明の効果】

本発明によれば、循環演算により積算値を生成する際に、一定のクロックタイミング毎に誤差を修正するので、誤差の蓄積を避けることができる。例えば、関数テーブルを参照して周期関数を生成する際にこのような積算値を進行角として用いれば、位相差の蓄積を回避することができる。つまり、精度の高い周期関数を長時間生成しつづけることができる。

【 0 0 5 4 】

また、誤差修正信号の生成頻度を変更することにより、積算値の誤差修正を行う頻度を変更することができる。これにより、誤差修正の頻度を下げたい場合にも対処することができる。

【 0 0 5 5 】

更に、循環演算により誤差を生じる部分を分数として表現するので、循環小数にも対処することができる。

【図面の簡単な説明】

【図 1】

本発明の第一の実施の形態である周期関数生成回路 1 0 0 のブロック図である。

【図 2】

誤差演算部 1 2 0 の動作を説明するためのフローチャートである。

【図 3】

周期関数生成回路 1 0 0 のクロックタイミング図の例である。

【図 4】

実アドレス演算部 1 1 0 の動作を説明するためのフローチャートである。

【図 5】

周期関数生成回路 1 0 0 により生成される周期関数と誤差修正信号の関係を説明する図である。

【図 6】

本発明の第二の実施の形態である周期関数生成回路 2 0 0 のブロック図である。

【図 7】

周期関数生成回路 2 0 0 のクロックタイミング図の例である。

【図 8】

周期関数生成回路 2 0 0 により生成される周期関数と誤差修正信号の関係を説明する図である。

【図 9】

本発明の第三の実施の形態である周期関数生成回路 3 0 0 のブロック図である。

【図 1 0】

従来の周期関数生成回路のブロック図である。

【図 1 1】

従来の周期関数生成回路が生成する周期関数を説明する図である。

【図 1 2】

従来の周期関数生成回路が生成する周期関数に生じる位相ずれを説明する図である。

【図 1 3】

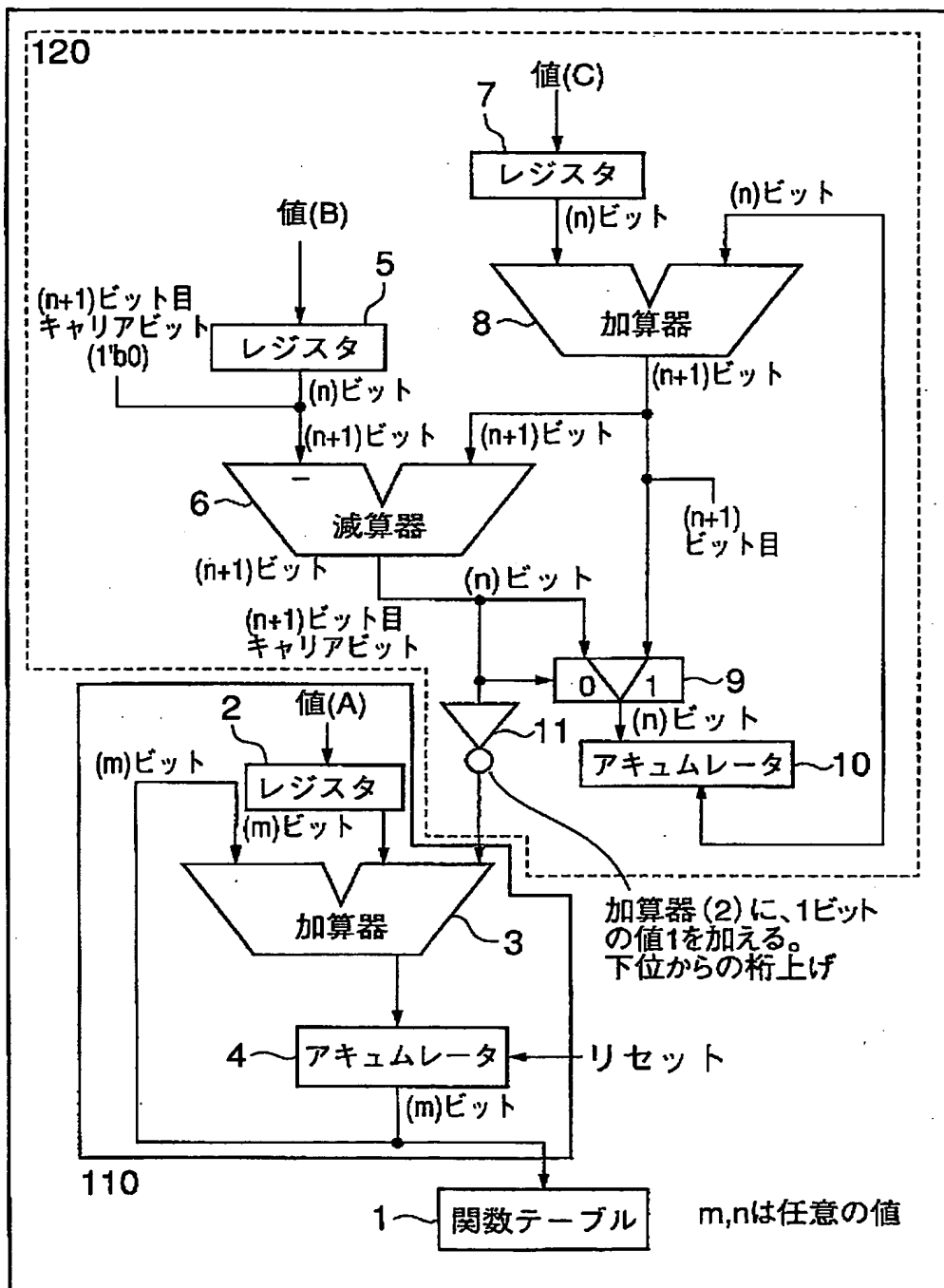
従来の周期関数生成回路が周期関数の位相を修正する際に生じる位相の非連続を説明するための図である。

【符号の説明】

- 1 関数テーブル
- 2、5、7、30 レジスタ
- 3、8 加算器
- 4、10 アキュムレータ
- 6 減算器
- 9、22 セレクタ
- 11 インバータ
- 20 加減算値演算回路
- 21 フラグ発生器
- 110、210、310 実アドレス演算部
- 120、220 誤差演算部
- 100、200、300 周期関数生成回路

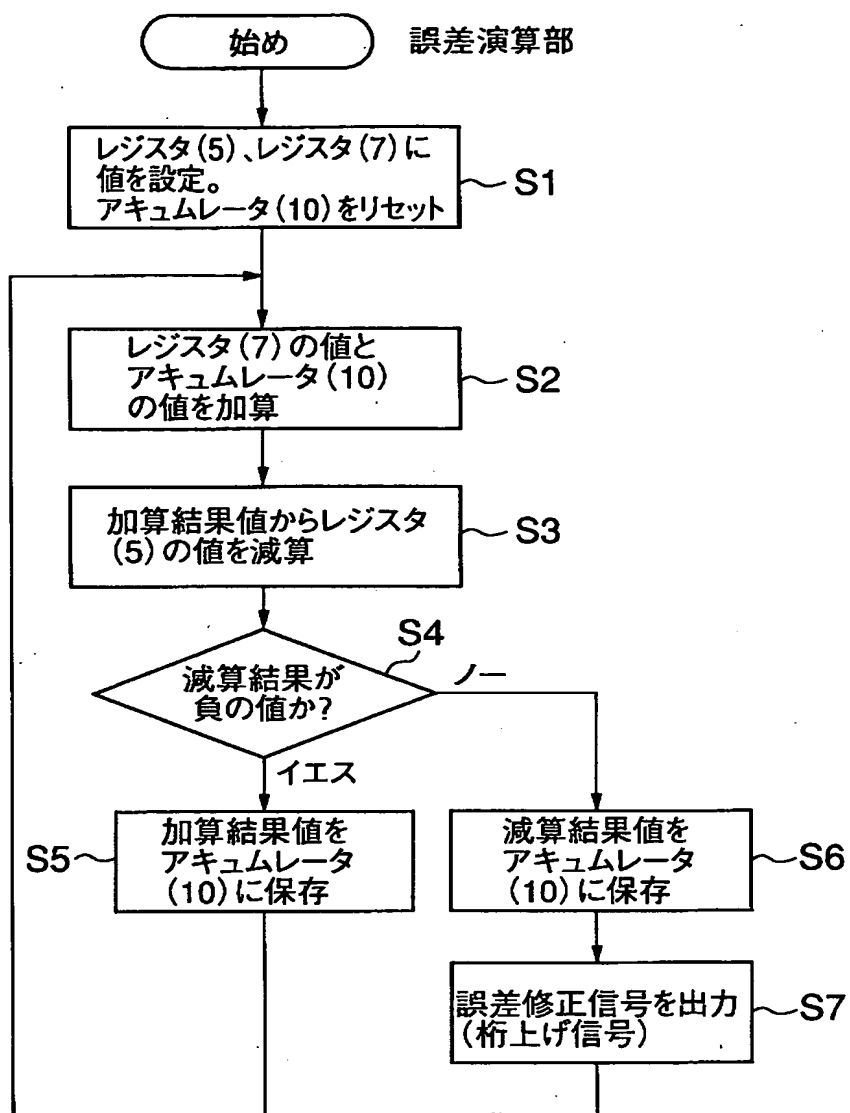
【書類名】 図面

【図 1】

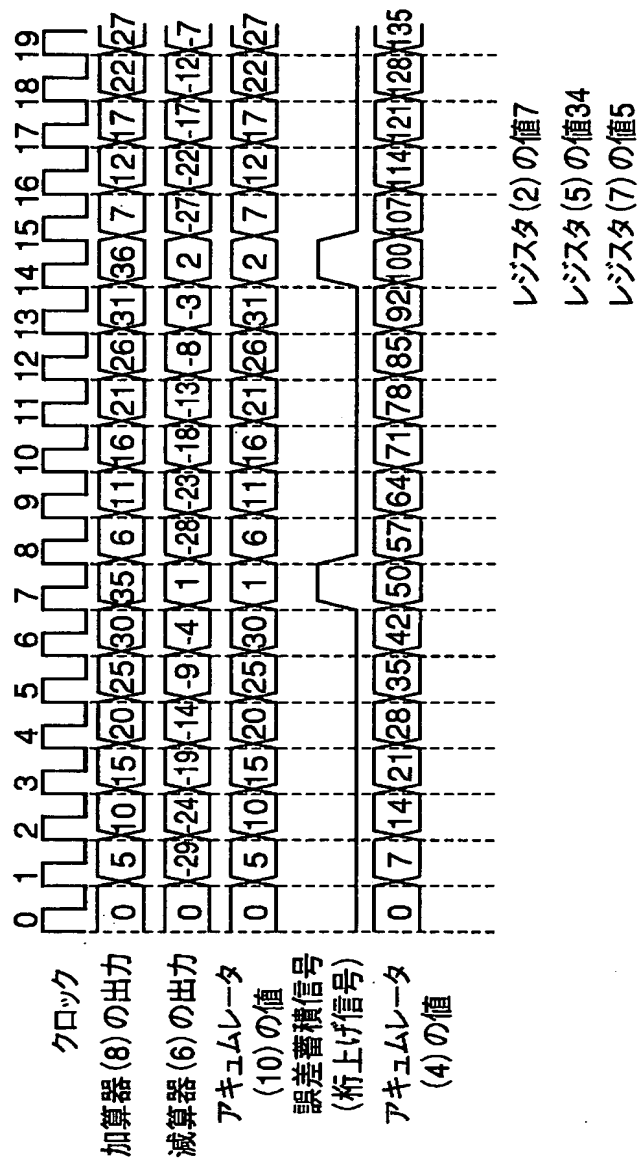


周期関数生成回路100

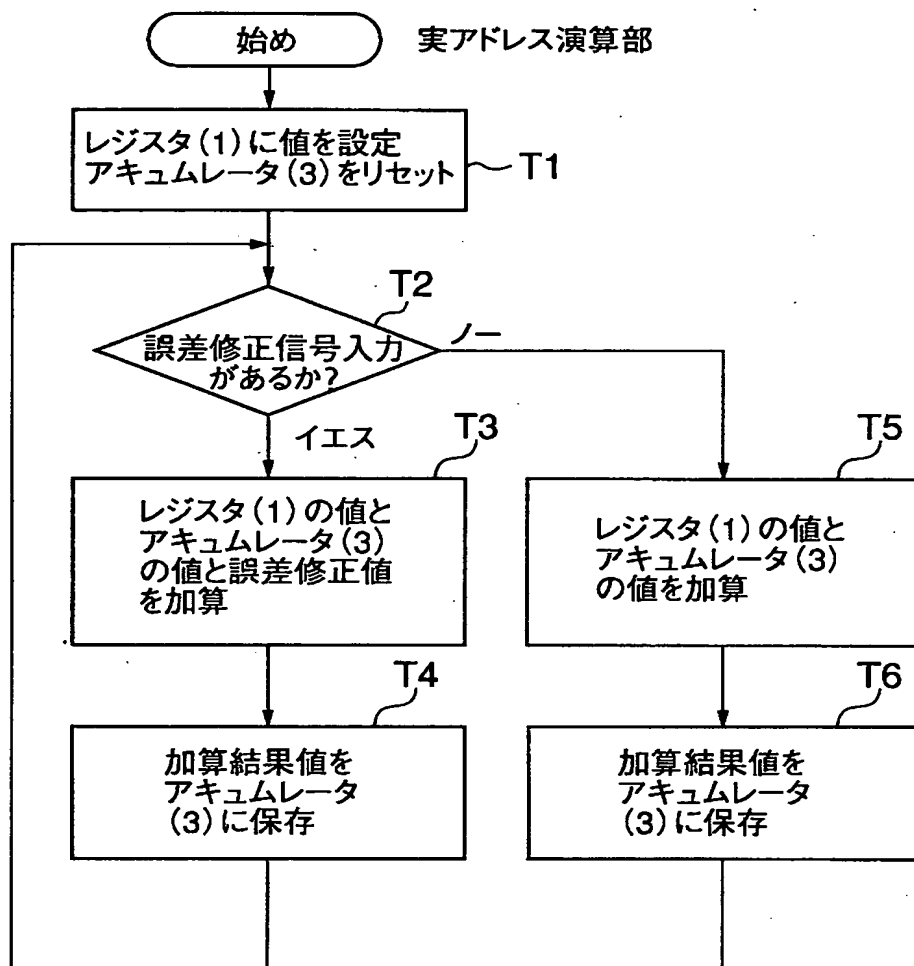
【図 2】



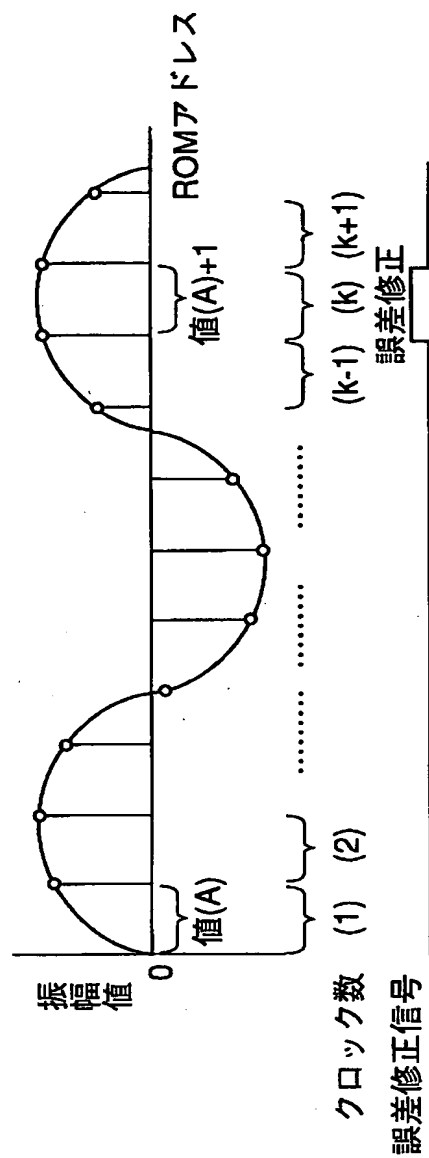
【図 3】



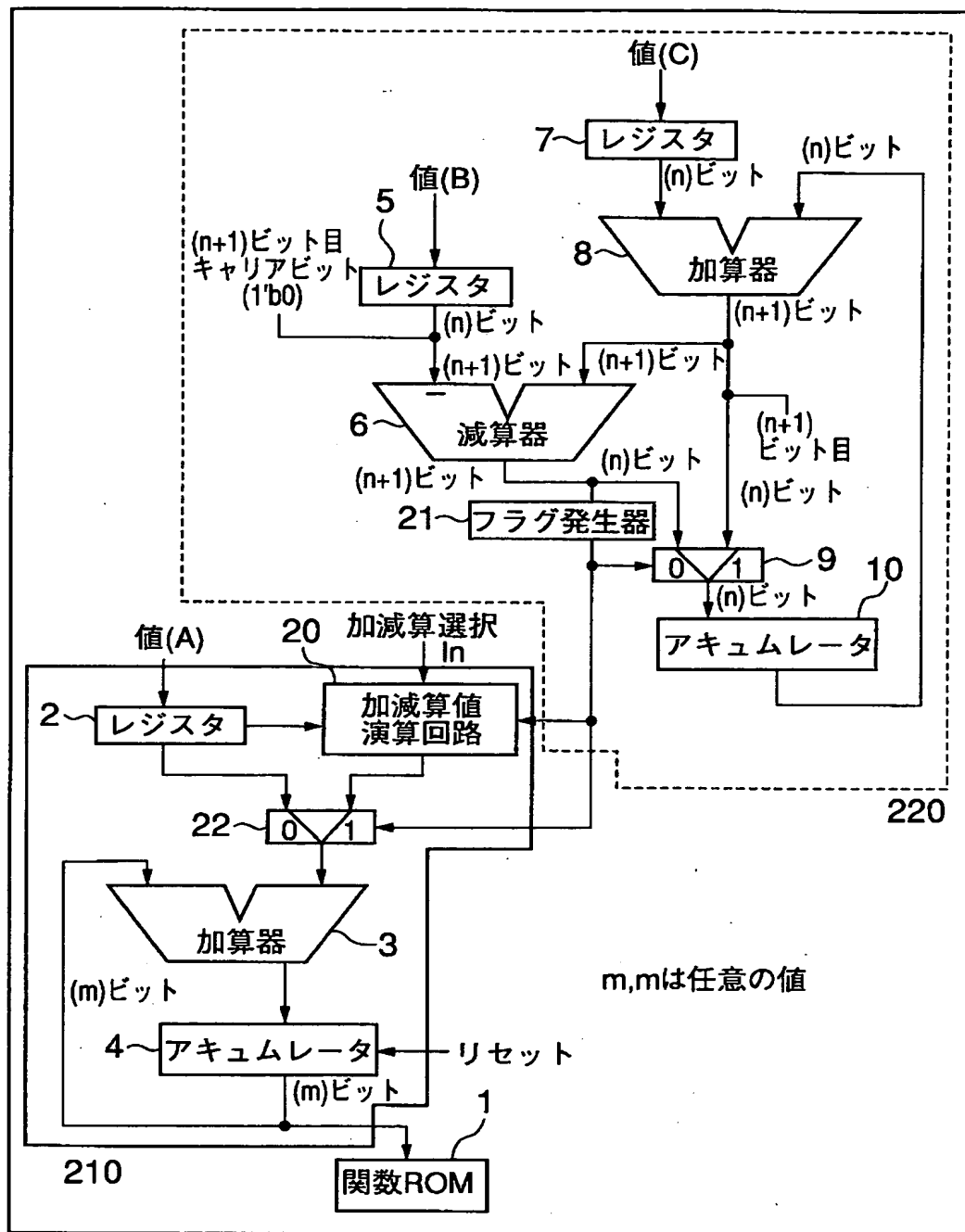
【図 4】



【図 5】

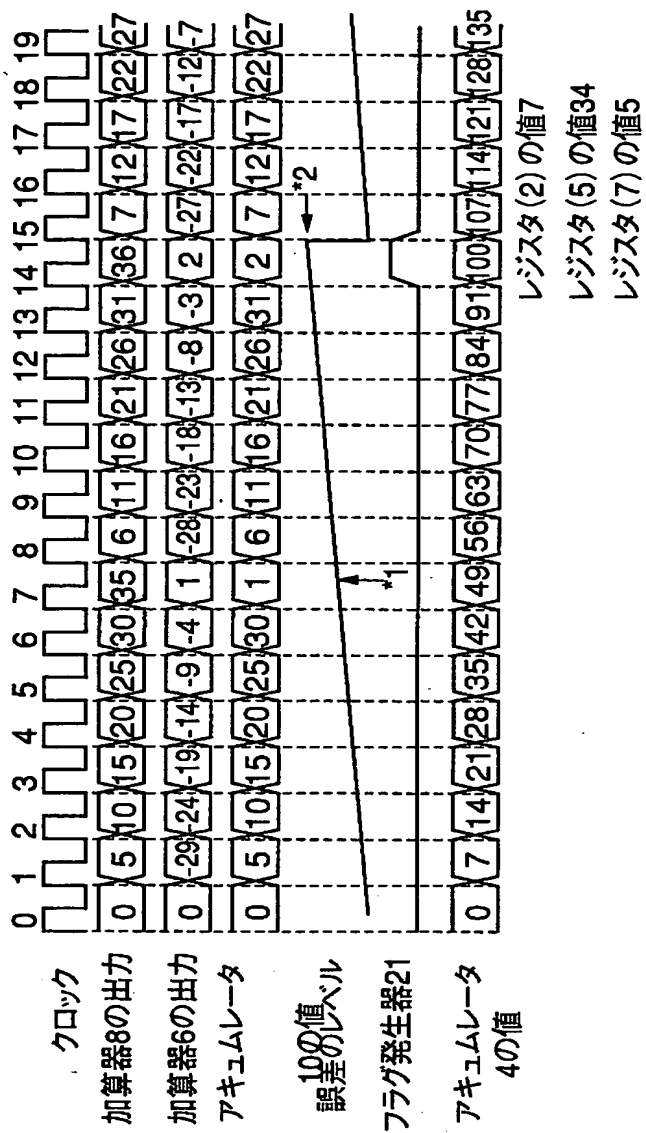


【図 6】

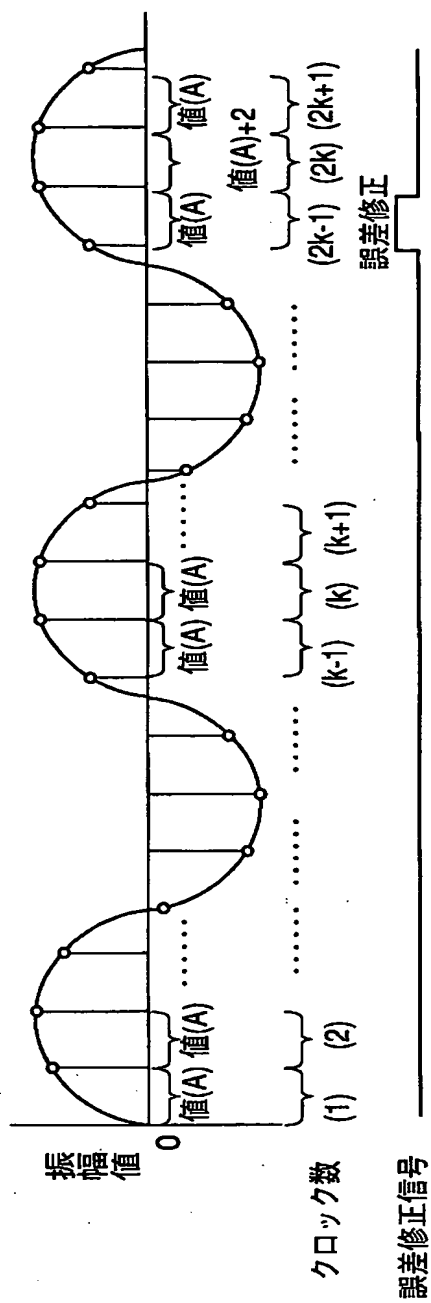


周期関数生成回路200

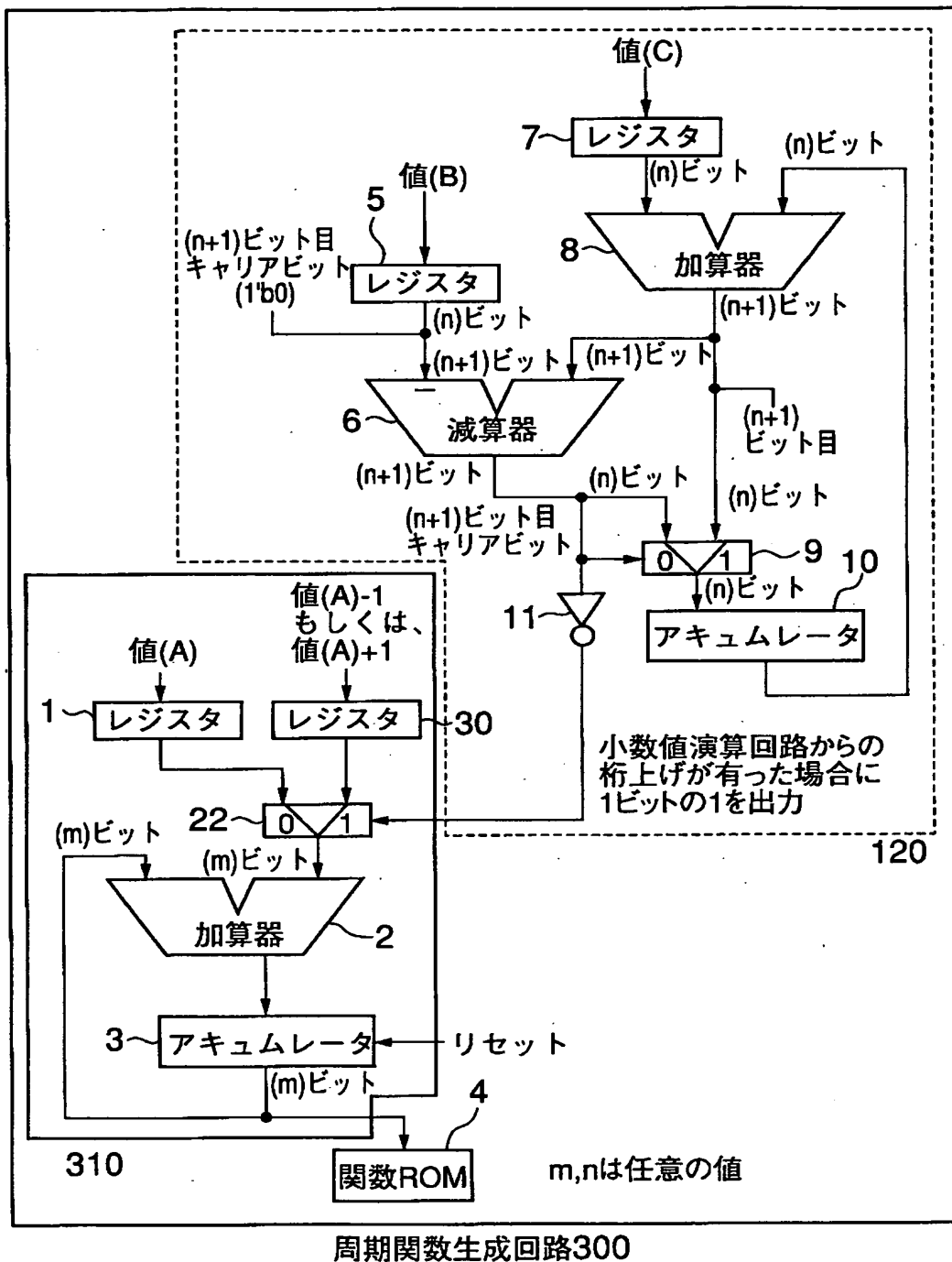
【図 7】



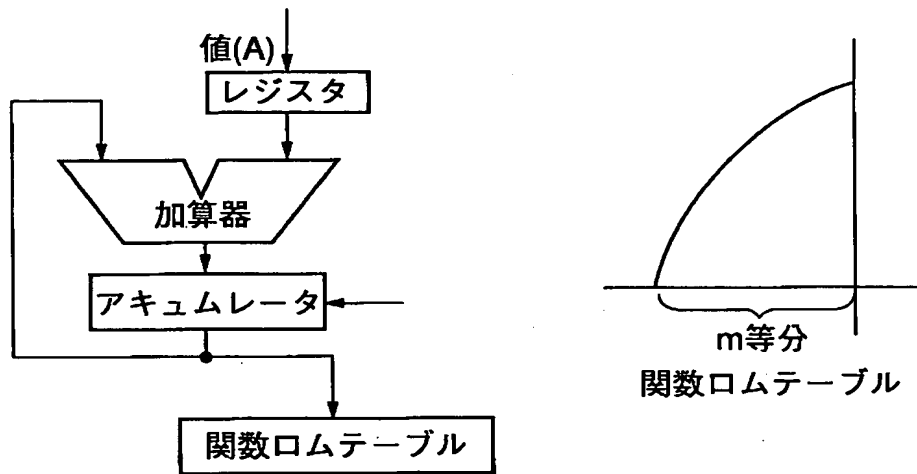
【図 8】



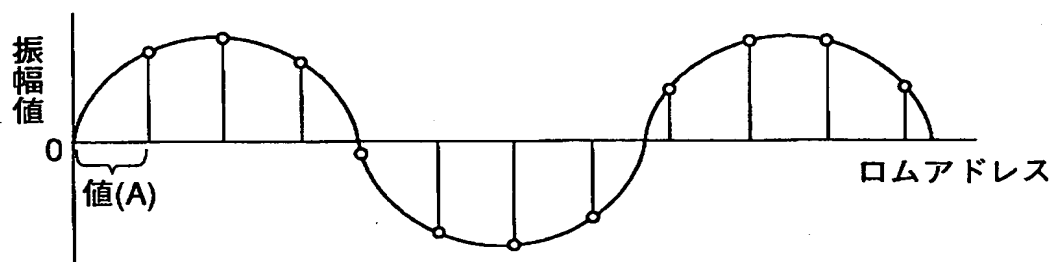
【図9】



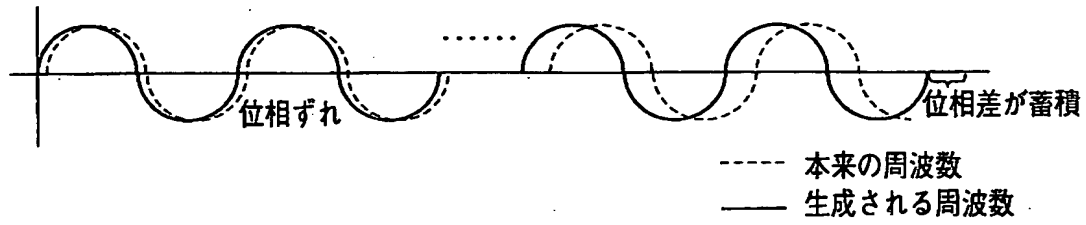
【図 10】



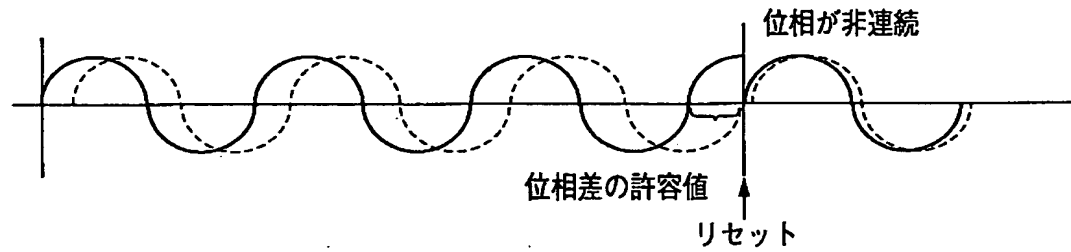
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 誤差を最小限に抑えつつ、位相の連続性を維持した周期関数を生成することが可能な周期関数の生成方法及び周期関数生成回路を提供すること。

【解決手段】 デジタル回路で単位値 u を積算して積算値 Σu を生成する際に、 $u = A + C/B$ ($B > C$) である値 A 、 B 及び C を定め、積算値 ΣA 及び ΣC を生成すると共に、積算値 ΣC と値 B の比較結果に応じて積算値 ΣA を修正し、修正した積算値 ΣA を積算値 Σu とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社